

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204336

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 21/78

H01L 31/10

H01L 33/00

(21)Application number : 05-292713

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 28.10.1993

(72)Inventor : MURATA TOSHIYA

(30)Priority

Priority number : 04312758

Priority date : 28.10.1992

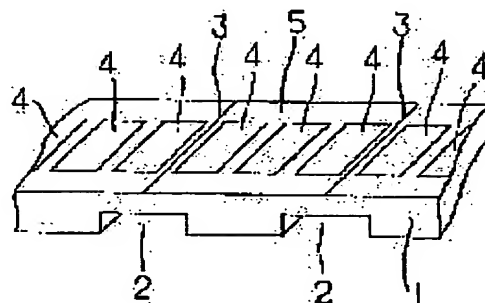
Priority country : JP

## (54) DIVIDING METHOD OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

**PURPOSE:** To divide a semiconductor substrate into semiconductor elements independent of its crystal orientation, to enable chippings and cracks to be less produced on the cut surface of the divided substrate, and to lessen the cut surface and its vicinity of the divided substrate in processing distortion by a method wherein a scribe mark is provided onto the semiconductor substrate, and the substrate is divided along the scribe mark.

**CONSTITUTION:** Semiconductor elements 4 are formed on the surface of a semiconductor substrate 1, a half die-cut groove 2 is continuously provided to the rear of the substrate 1 corresponding to a boundary between the adjacent semiconductor elements 4, a solid scribe mark 3 is provided to the surface of the semiconductor substrate 1 between the adjacent semiconductor elements 4 extending from the one end of the substrate 1 to the other end, and a force is vertically provided to the substrate 1 along all the half die-cut groove 2 or a part of it.



## LEGAL STATUS

[Date of request for examination] 31.03.1997

[Date of sending the examiner's decision of rejection] 27.07.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

13/13

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-204336

(43)公開日 平成 6 年(1994) 7 月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/78	T	8617-4M		
	L	8617-4M		
31/10				
33/00	A	7376-4M		
		8422-4M		
			H 0 1 L 31/ 10	Z
			審査請求 未請求 請求項の数 2 (全 6 頁)	

(21)出願番号 特願平5-292713

(22)出願日 平成 5 年(1993)10月28日

(31)優先権主張番号 特願平4-312758

(32)優先日 平 4 (1992)10月28日

(33)優先権主張国 日本 (J P)

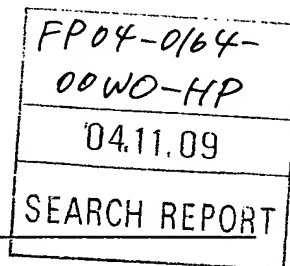
(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町 3 丁目12番  
地

(72)発明者 村田 俊哉

神奈川県横浜市神奈川区守屋町 3 丁目12番  
地 日本ビクター株式会社内

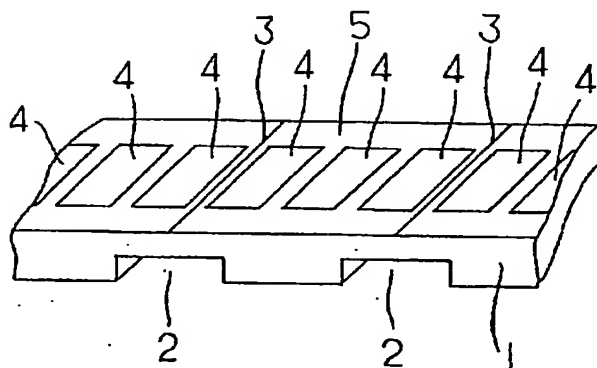


(54)【発明の名称】 半導体基板の分割方法

(57)【要約】

【目的】 半導体基板を分割する時、分割に必要な幅をスクライプ痕幅程度に出来るようにし、それにより分割方向を半導体基板の結晶方位に依存せず、分割面にチップングやクラックの発生が少ない且つ分割面近傍に加工歪の少ない半導体基板の分割方法を提供する。

【構成】 半導体素子 4 を、複数個形成した表面を有する半導体基板 1 において、前記半導体素子 4 と隣接する半導体素子 4 との間の表面に対応する裏面に、連続するハーフダイス溝 2 を、この半導体基板 1 の一端から他端まで付け、前記半導体素子 4 と隣接する半導体素子 4 との間の表面に、連続するスクライプ痕 3 を、この半導体基板 1 の一端から他端まで付け、この半導体基板 1 に垂直な力をこのハーフダイス溝 2 の全長または一部に加えた。



## 【特許請求の範囲】

【請求項 1】半導体素子を複数個形成した表面を有する半導体基板において、この半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあり、この半導体基板の表面上の領域を二分する、この半導体基板の表面に垂直な平面を、溝内に含み、この半導体基板の所定の厚さに応じた所定の深さを持つ連続するハーフダイス溝を、この半導体基板の一端より他端まで、この半導体基板の裏面に付け、前記半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあるこの半導体基板の表面上の領域を二分する、所定の幅を持つ直線状の連続するスクライブ痕を、この半導体基板の一端から他端まで、この半導体基板の表面に付け、この半導体基板に垂直な力をこのハーフダイス溝の全長または一部に加えることを特徴とする半導体基板の分割方法。

【請求項 2】請求項 1 記載の半導体基板の分割方法により、半導体基板上に形成された複数の半導体素子から構成された半導体素子アレーを個々の半導体素子に分離した後、この個々の半導体素子を前記半導体素子アレーと同じピッチに再配列することにより新たな半導体素子アレーを得る事を特徴とする半導体素子アレーの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板の分割方法に係わり、特に複数の LED 素子又は複数のフォトダイオード素子を形成した半導体基板の分割方法に関する。

## 【0002】

【従来の技術】以下、添付図面を参照して、従来の技術を説明する。図 2 は、従来例及び本発明の一実施例の半導体基板の分割方法を説明するための半導体基板の上面図である。図 2 において、1 は、半導体基板を示し、4 は、半導体基板上に形成された LED 素子又はフォトダイオード素子を示す。5 は、複数の LED 素子又はフォトダイオード素子から構成される LED 素子アレー又はフォトダイオード素子アレーを示す。6 は、LED 素子アレー又はフォトダイオード素子アレーを半導体基板から切り離す分割線である。

【0003】例えば、LED 装置を製造するとき、図 2 に示すように、複数の LED 素子 4 が 1 枚の半導体基板 1 上に形成される。複数の LED 素子 4 は、1 個の LED 素子アレー 5 を形成し、複数の LED 素子アレー 5 は、1 枚の半導体基板 1 上に形成されている。LED 装置の特性に応じて、1 個の LED 素子アレー 5 を構成する、複数の LED 素子 4 の形状及び配列のピッチが決定されている。各 LED 素子アレー 5 は、LED 素子の分割線 6 によって、それぞれ半導体基板 1 より切り離されて取り出される。LED 素子の分割線 6 の幅は、半導体基板 1 の分割が容易に出来る幅に決められている。

【0004】ところで、従来、半導体基板の分割方法には 2 種類の方法が知られている。一つの方法は、フルダイス法である。すなわち、ダイサーを用いて半導体基板を所望の形状に切断分離分割する方法である。この方法は、回転するブレードによる切断であるため、ブレード厚程度の切断代が必要である。現状の薄いブレード厚は、 $25\mu\text{m}$  であり、このときの切断代は、約  $40\mu\text{m}$  である。さらに、切断代以外に、切断面にチッピングが発生すること、切断面から半導体基板内部に向かってクラックが発生すること、従って切断面近傍には加工による残留歪みが発生するため、これらの及ぶ幅を考慮する必要がある。この幅は、およそ  $10\mu\text{m}$  である。即ち、分割に必要な幅は、最小限約  $60\mu\text{m}$  以上である。このため、フルダイス法は、半導体基板上に形成される半導体素子が、それぞれ  $60\mu\text{m}$  以上離れているような半導体基板の分割に使用される。

【0005】他の方法は、半導体基板を構成する結晶の劈開性を利用するものであり、例えば、特開平 4-164350 号に公開されている。すなわち、分割したい位置にある半導体基板表面の端部に、複数のスクライブ痕を例えばポイントスクライバによって付け、このスクライブ痕の裏面を例えばエッジにより突上げて、スクライブ痕に端を発する劈開面に沿って、半導体基板を分割する方法である。この方法によれば、破断面におけるチッピングやクラックの発生は少なく、破断面近傍の残留歪みもほとんどない。

【0006】しかし、この方法により分割出来る位置は劈開面に沿った位置に限定されること、及び劈開により破断出来る長さもせいぜい 10 数 mm であり、この方法の適用出来る半導体基板の大きさ形状には制限がある。同時に、劈開面に沿って分割するため、精度の良い分割をするためには、半導体素子を形成する際のパターンニングの位置決めを正確に行う必要がある。

## 【0007】

【発明が解決しようとする課題】ところで、半導体基板上に形成される複数の半導体素子の特性を全て均一にすることは非常に困難である。種々の原因により、いくつかの特性不良品が発生するし、特性良品の素子においても、特性は、分布を持つ。

【0008】このため、例えば、LED 素子アレーから構成されるスキャナー用ヘッドを製造する場合、所定のピッチを持って配置された複数の LED 素子から構成される LED 素子アレーの形成されている半導体基板を一旦個々の LED 素子に分割し、特性の合わない LED 素子を取り除き、次に取り除かれた LED 素子の有った場所に、残された LED 素子と特性の揃った LED 素子を配置し、LED 素子アレーを構成し配線組立後、スキャナー用ヘッドにする。

【0009】しかし、分解能の優れたヘッドを得るには LED 素子アレーの配列ピッチを小さくする必要がある

が、上述のフルダイス法のような、従来の半導体の分割方法では、分割に必要な幅は約 $60\mu\text{m}$ でありミクロンオーダーの精密な分割が不可能であるので、分解能の優れたヘッドを得ることは出来なかった。

【0010】このため、通常はLEDアレーの形成される半導体基板の結晶の劈開性を利用する半導体基板の分割方法を用いる。この方法によれば、分割面にチップングやクラックが発生することは少なく、又分割面近傍に加工歪みを残す事も少ないため分割面の近傍まで特性の優れたLED素子を形成することができる。この分割方法では、通常スクライプ痕は、ピンポイントスクライバによって付けられる。スクライプツールに印加される荷重は、約 $5\text{g}$ から $20\text{g}$ の範囲である。この条件下で得られるスクライプ痕幅は、 $10\mu\text{m}$ 以上になる。そのため、半導体素子に影響を与えない箇所に、スクライプ痕が付けられる。しかしながら、半導体基板の端部に付けた複数のスクライプ痕を起点に劈開を起こしても、きれいに分割できる長さは、せいぜい $10\text{mm}$ 程度であり、しかも、劈開の起こる場所のばらつきのため、分割に必要な幅は約 $10\mu\text{m}$ 程度であり、しかも、必ずしも、常にきれいに劈開が起こるわけではなく、分割の歩留まりは良くなかった。

【0011】又、LED素子を半導体基板上に形成するとき、パターンニングによってLED素子の配置を決定するが、半導体基板結晶の劈開面に対して正確に配置しなければならない。半導体基板の結晶方位は、ファセットの結晶方位が既知であるので、これを基準に必要な方位を選択出来る。しかし、ファセットの結晶方位は誤差を含む。同様に、マスクアナライザによるパターンニングも誤差を含む。以上の理由により、半導体基板の劈開性を利用する半導体基板の分割方法において、分割に必要な分割幅は、 $10\mu\text{m}$ 以下にすることは出来なかった。

【0012】そこで、本発明は、半導体基板を分割する時、分割に必要な幅をスクライプ痕幅程度に出来るようにし、それにより分割方向を半導体基板の結晶方位に依存せず、分割面にチップングやクラックの発生が少ない且つ分割面近傍に加工歪みの少ない半導体基板の分割方法を提供する事を目的とする。

#### 【0113】

【課題を解決するための手段】本発明の半導体基板の分割方法は、半導体素子を複数個形成した表面を有する半導体基板において、この半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあり、この半導体基板の表面上の領域を二分する、この半導体基板の表面に垂直な平面を、溝内に含み、この半導体基板の所定の厚さに応じた所定の深さを持つ連続するハーフダイス溝を、この半導体基板の一端より他端まで、この半導体基板の裏面に付け、前記半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあるこ

の半導体基板の表面上の領域を二分する、所定の幅を持つ直線状の連続するスクライプ痕を、この半導体基板の一端から他端まで、この半導体基板の表面に付け、この半導体基板に垂直な力をこのハーフダイス溝の全長または一部に加えることにより、上述の目的を達成するものである。

#### 【0014】

【実施例】以下、添付図面を参照して本発明の一実施例を説明する。図1は、本発明の半導体基板の分割方法の一実施例を説明するための半導体素子アレーの部分拡大斜視図である。この図1は、図2にて前述の半導体基板1の一部分を示すものである。図1において、1は、半導体基板を示す。2は、ハーフダイス溝を示す。3は、スクライプ痕を示す。4は、半導体基板上に形成されたLED素子を示す。5は、半導体基板上に形成されたLED素子アレーを示す。

【0015】＜第1実施例＞半導体基板1はGaAlAs/GaAsより構成されている。この半導体基板1の厚さは $300\mu\text{m}$ である。LED素子アレー5の間隔は、 $100\mu\text{m}$ である。初めに、それぞれのLED素子アレー5を、前述の図2に示すLED素子アレーの分割線6に沿って、フルダイスによって分離した。LED素子アレー5内の複数のLED素子4は、 $12\mu\text{m}\times 12\mu\text{m}$ の形状を持ち、ピッチ $16\mu\text{m}$ で配置されている。すなわち、LED素子4間の間隔は $4\mu\text{m}$ である。パターンニングの際には、結晶面内方位には、格別の注意を払わなかった。このLED素子4間のLED素子4を分離している領域の中央部を、本発明による半導体基板の分割方法により分割した。

【0016】まず、この半導体基板1の裏面の、LED素子4間のLED素子4を分離している領域の中央線的位置に、溝幅 $120\mu\text{m}$ 溝深さ $100\mu\text{m}$ の連続するハーフダイス溝2を、ブレード厚 $100\mu\text{m}$ のダイサーを用いて付けた。さらに、半導体基板1の表面の、LED素子4間のLED素子4を分離している領域の中央線的位置に、ピンポイントスクライバを用いて、連続するスクライプ痕3を付けた。スクライプ痕3幅を小さくするために、市販のピンポイントスクライバを改良してツール荷重を小さく出来るようにした。この小さいツール荷重条件で付けられたスクライバ痕2の幅は $0.8\mu\text{m}$ であり、深さは $0.4\mu\text{m}$ であった。

【0017】次に、この半導体基板1の表面を上にして、半導体基板1をクリーバにセットした。クリーバのエッチの面方向とスクライバ痕2の進行方向とを一致させて、エッチを突き上げた。この結果、スクライバ痕2の位置で半導体基板1は分割された。分割面には、大きなチップングは無く、あるのは $1\mu\text{m}$ 以下のチップングであった。クラックはなかった。分割面近傍の加工歪みについては、LED素子4の特性を測定した結果、無い事が分かった。分割幅は、分割して得られた2個のLED

D素子4を、 $16\mu\text{m}$ ピッチで再配列した結果、約 $2\mu\text{m}$ と評価出来た。

【0018】なお、上述の本発明の実施例1では、半導体基板の厚さが $300\mu\text{m}$ の時、ハーフダイス溝の深さを $100\mu\text{m}$ とした場合の結果について述べたが、半導体基板の厚さが $200\mu\text{m}$ 以下の場合には、ハーフダイス溝が無くても、分割に必要な幅はスクライプ痕の幅程度で、分割できる。

【0019】＜第2実施例＞図1及び図2に示す半導体基板1はGaAsP/GaAsより構成されている。この半導体基板1の厚さは $300\mu\text{m}$ である。LED素子アレー5の間隔は、 $8125\mu\text{m}$ である。初めに、それぞれのLED素子アレー5を、前述の図2に示すLED素子アレーの分割線6に沿って、フルダイスによって分離した。LED素子アレー5内の複数のLED素子4は、 $12\mu\text{m}\times 12\mu\text{m}$ の形状を持ち、ピッチ $16\mu\text{m}$ で配置されている。すなわち、LED素子4間の間隔は $4\mu\text{m}$ である。パターンニングの際には、結晶面内方位には、格別の注意を払わなかった。このLED素子4間のLED素子4を分離している領域の中央部を、本発明による半導体基板の分割方法により分割した。

【0020】図3は、本発明の半導体基板の分割方法の第2実施例を説明するための半導体基板の部分拡大断面図である。図3において、2aは第1ハーフダイス溝を、2bは第2ハーフダイス溝を、2cは、V型ハーフダイス溝をそれぞれ示す。まず、この半導体基板1の裏面の、LED素子4間のLED素子4を分離している領域の中央線の位置に、溝幅 $60\mu\text{m}$ 溝深さ $100\mu\text{m}$ の連続する第1ハーフダイス溝2aを、ブレード厚 $40\mu\text{m}$ のダイサーを用いて付けた(図3(a))。次に、この第1ハーフダイス溝2aのほぼ中央の位置に、溝幅 $40\mu\text{m}$ 溝深さ $50\mu\text{m}$ の連続する第2ハーフダイス溝2bを、ブレード厚 $25\mu\text{m}$ のダイサーを用いて付けた(図3(b))。

【0021】さらに、半導体基板1の表面の、LED素子4間のLED素子4を分離している領域の中央線の位置に、ピンポイントスクライバを用いて、連続するスクライプ痕3を付けた。スクライプ痕3幅を小さくするために、市販のピンポイントスクライバを改良してツール荷重を小さく出来るようにした。この小さいツール荷重条件で付けられたスクライバ痕2の幅は $0.8\mu\text{m}$ であり、深さは $0.4\mu\text{m}$ であった。

【0022】次に、この半導体基板1の表面を上にして、半導体基板1をクリーバにセットした。クリーバのエッチの面方向とスクライバ痕2の進行方向とを一致させて、エッチを突き上げた。この結果、スクライバ痕2の位置で半導体基板1は分割された。分割面には、大きなチップングは無く、あるのは $1\mu\text{m}$ 以下のチップングであった。クラックはなかった。分割面近傍の加工歪みについては、LED素子4の特性を測定した結果、無い

事が分かった。分割幅は、分割して得られた2個のLED素子4を、 $16\mu\text{m}$ ピッチで再配列した結果、約 $2\mu\text{m}$ と評価出来た。

【0023】なお、上述の本発明の第2実施例では、ハーフダイス溝を第1ハーフダイス溝と第2ハーフダイス溝の2段階とした結果について説明したが、図3(c)に示す先端角が $60\sim 90^\circ$ であるV型ハーフダイス溝を形成しても、良好な分割結果を得る事が出来る。また、半導体基板の厚さが $300\mu\text{m}$ の時、ハーフダイス溝の深さを $100\mu\text{m}$ とした場合の結果について述べたが、ハーフダイス溝の深さは、半導体基板の厚さの $30\sim 55\%$ の範囲であれば、分割の際のチップングは無く、あるのは $1\mu\text{m}$ 以下のチップングであり、クラックはなかった。

【0024】＜第3実施例＞図1及び図2に示す半導体基板1はGaAlAs/GaAsより構成されている。この半導体基板1の厚さは $300\mu\text{m}$ である。LED素子アレー5の間隔は、 $100\mu\text{m}$ である。初めに、それぞれのLED素子アレー5を、前述の図2に示すLED素子アレーの分割線6に沿って、フルダイスによって分離した。LED素子アレー5内の複数のLED素子4は、 $12\mu\text{m}\times 12\mu\text{m}$ の形状を持ち、ピッチ $16\mu\text{m}$ で配置されている。すなわち、LED素子4間の間隔は $4\mu\text{m}$ である。パターンニングの際には、結晶面内方位には、格別の注意を払わなかった。このLED素子4間のLED素子4を分離している領域の中央部を、本発明による半導体基板の分割方法により分割した。

【0025】まず、半導体基板1の表面の、LED素子4間のLED素子4を分離している領域の中央線の位置に、ピンポイントスクライバを用いて、連続するスクライプ痕3を付けた。スクライプ痕3幅を小さくするために、市販のピンポイントスクライバを改良してツール荷重を小さく出来るようにした。この小さいツール荷重条件で付けられたスクライバ痕2の幅は $0.8\mu\text{m}$ であり、深さは $0.4\mu\text{m}$ であった。さらに、この半導体基板1の裏面の、LED素子4間のLED素子4を分離している領域の中央線の位置に、溝幅 $120\mu\text{m}$ 溝深さ $100\mu\text{m}$ の連続するハーフダイス溝2を、ブレード厚 $100\mu\text{m}$ のダイサーを用いて付けた。

【0026】次に、この半導体基板1の表面を上にして、半導体基板1をクリーバにセットした。クリーバのエッチの面方向とスクライバ痕2の進行方向とを一致させて、エッチを突き上げた。この結果、スクライバ痕2の位置で半導体基板1は分割された。分割面には、大きなチップングは無く、あるのは $1\mu\text{m}$ 以下のチップングであった。クラックはなかった。分割面近傍の加工歪みについては、LED素子4の特性を測定した結果、無い事が分かった。分割幅は、分割して得られた2個のLED素子4を、 $16\mu\text{m}$ ピッチで再配列した結果、約 $2\mu\text{m}$ と評価出来た。

【0027】なお、上述の本発明の実施例では、半導体基板の厚さが $300\mu\text{m}$ の時、ハーフダイス溝の深さを $100\mu\text{m}$ とした場合の結果について述べたが、半導体基板の厚さが $200\mu\text{m}$ 以下の場合には、ハーフダイス溝が無くても、分割に必要な幅はスクライプ痕の幅程度で、分割できる。

【0028】以上、上述の本発明の各実施例では、LED素子アレー内のLED素子を分割した場合の結果について述べたが、半導体基板から、各LED素子アレーを分離する場合のように、半導体基板全面にわたって分割する場合にも、分割に必要な幅はスクライプ痕の幅程度で、分割できる。そして、スクライプ痕を付けた後ハーフダイス溝をつけても、逆に、ハーフダイス溝を付けた後にスクライプ痕を付けても、同様に、分割に必要な幅はスクライプ痕の幅程度で、分割できる。また、一般に、基板分割は、順メサ方向と逆メサ方向では、分割の難易度が異なる（基板材料の種類により、いずれかの方向が困難方向になる）が、本発明の分割方法によれば、これらの方向に関係なく、分割に必要な幅はスクライプ痕の幅程度で、分割する事ができる。

【0029】さらに、上述の本発明の実施例では、LED素子アレーを分割して、LED素子に分離したが、このときの分割幅は $2\mu\text{m}$ であることを示した。従って本発明の半導体基板の分割方法によれば、LED素子アレー又はフォトダイオード素子アレーに於いて、特性の不良な素子を分離して、その部分に特性の良好な素子を再配置することにより、高密度に配列されたしかも特性の揃ったLED素子アレー又はフォトダイオード素子アレーを得る事ができる。

【0030】

【発明の効果】以上説明したように、本発明の半導体基板の分割方法は、半導体素子を複数個形成した表面を有する半導体基板において、この半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあ

り、この半導体基板の表面上の領域を二分する、この半導体基板の表面に垂直な平面を、溝内に含み、この半導体基板の所定の厚さに応じた所定の深さを持つ連続するハーフダイス溝を、この半導体基板の一端より他端まで、この半導体基板の裏面に付け、前記半導体素子とこの半導体素子に隣接する分割されるべき半導体素子との間にあるこの半導体基板の表面上の領域を二分する、所定の幅を持つ直線状の連続するスクライプ痕を、この半導体基板の一端から他端まで、この半導体基板の表面に付け、この半導体基板に垂直な力をこのハーフダイス溝の全長または一部に加えることにより、前記半導体基板を分割する時、分割に必要な幅はスクライプ痕幅程度に出来、それにより分割方向を前記半導体基板の結晶方位に依存せず、分割面にチップングやヘアクラックの発生が少ない且つ分割面近傍に加工歪の少ない半導体基板の分割方法を提供する事が出来る。

【図面の簡単な説明】

【図1】本発明の半導体基板の分割方法の一実施例を説明するための半導体素子アレーの部分拡大斜視図である。

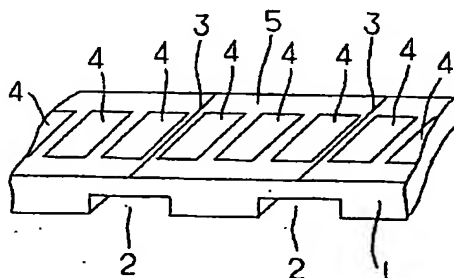
【図2】本発明の半導体基板の分割方法の一実施例を説明するための半導体基板の上面図である。

【図3】本発明の半導体基板の分割方法の第2実施例を説明するための半導体基板の部分拡大断面図である。

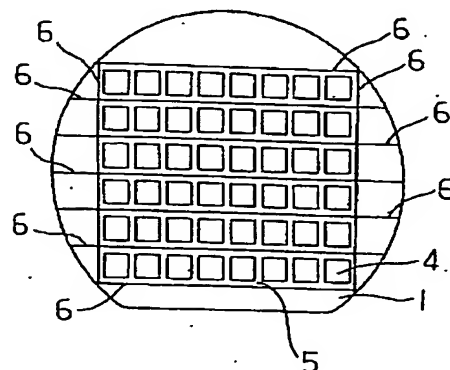
【符号の説明】

- 1 半導体基板
- 2 ハーフダイス溝
- 2 a 第1ハーフダイス溝
- 2 b 第2ハーフダイス溝
- 2 c V型ハーフダイス溝
- 3 スクライプ痕
- 4 LED素子
- 5 LED素子アレー
- 6 LED素子アレーの分割線

【図1】



【図2】



【図3】

